

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2000236237 A**

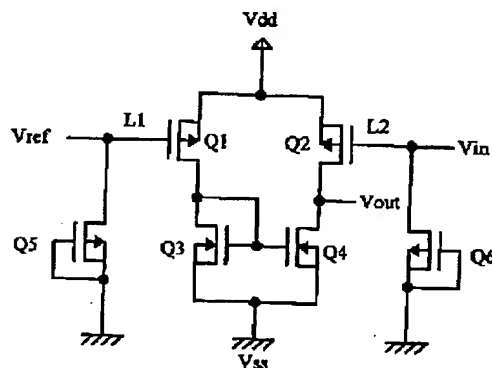
(43) Date of publication of application: 29 . 08 . 00

(51) Int. Cl. **H03K 5/08**(21) Application number: **11034822**(71) Applicant: **SEIKO INSTRUMENTS INC**(22) Date of filing: **12 . 02 . 99**(72) Inventor: **INOUE SHIGETO****(54) SEMICONDUCTOR INTEGRATED CIRCUIT****(57) Abstract:**

**PROBLEM TO BE SOLVED:** To reduce the offset of a comparator by arranging a 1st protecting element for gate oxide film protection for a metal wire connected to a 1st MOS transistor (TR), forming a differential stage and a 2nd protecting element for gate oxide film protection for a metal wire connected to a 2nd MOS TR.

**SOLUTION:** A 1st protecting element for gate oxide film protection is arranged for the metal wire connected to the gate electrode of the 1st MOS TR forming the differential stage. Furthermore, a 2nd protecting element for gate oxide film protection is arranged for the metal wire connected to the gate electrode of the 2nd MOS TR forming the differential stage. For example, a PMOS differential comparator circuit has a normally off type NMOS TR Q5 formed at the gate electrode of a 1st PMOS TR Q1 forming a differential stage. Furthermore, a normally off type NMOS TR Q6 is formed at the gate electrode of a 2nd PMOS TR Q2.

COPYRIGHT: (C)2000,JPO



(10) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-236237

(P2000-236237A)

(43) 公開日 平成12年8月29日 (2000.8.29)

(51) Int.Cl.

H03K 5/08

識別記号

F I

H03K 5/08

7-71-J (参考)

E 5 J 0 3 9

審査請求 有 請求項の数 2 O L (全 4 頁)

(21) 出願番号

特願平11-34822

(22) 出願日

平成11年2月12日 (1999.2.12)

(71) 出願人 000002325

セイコーインスツルメンツ株式会社

千葉県千葉市美浜区中瀬1丁目8番地

(72) 発明者 井上 成人

千葉県千葉市美浜区中瀬1丁目8番地 セ

イコーインスツルメンツ株式会社内

(74) 代理人 100096286

弁理士 林 敬之助

Pターム(参考) 5J039 DA09 DB18 DC05 KK17 KK18

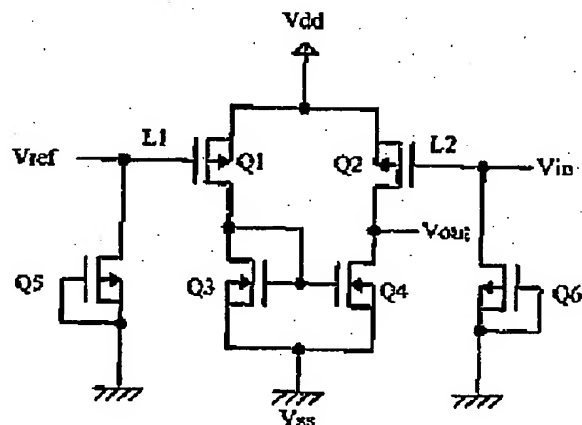
KN16

(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【課題】 コンパレータのオフセットを低減した半導体集積回路の提供。

【解決手段】 MOSトランジスタからなるコンパレータ回路の差動段のトランジスタのゲート電極にゲート酸化膜保護素子を設け、プラズマプロセスにおいてもゲート酸化膜保護用素子により差動段のMOSトランジスタのゲート酸化膜が劣化しない。



## 【特許請求の範囲】

【請求項1】 差動段と電流ミラー回路からなる負荷段を有するコンパレータ回路において、前記差動段を形成する相対する第1のMOSトランジスタのゲート電極に繋がる金属配線にゲート酸化膜保護用の第1の保護素子を配置し、前記差動段を形成する相対する第2のMOSトランジスタのゲート電極に繋がる金属配線にゲート酸化膜保護用の第2の保護素子を配置したことを特徴とする半導体集積回路。

【請求項2】 前記第1の保護素子または前記第2の保護素子がノーマリオフ型MOSトランジスタまたはダイオードであることを特徴とする請求項1記載の半導体集積回路。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、コンパレータ回路のオフセット低減に関するものである。

【0002】

【従来の技術】 AL配線等による1層金属配線の場合には、第4図に示すように、差動段を形成する相対する第1のMOSトランジスタと第2のMOSトランジスタのゲート電極に接続する配線は、他のトランジスタのドレインかソースに接続されるために、第1のMOSトランジスタと第2のMOSトランジスタのゲート電極には、それぞれ寄生的にダイオードが接続されていることになっていた。また負荷段を構成するトランジスタでも同様に寄生的にダイオードが形成されていた。通常この寄生ダイオードは基板とドレインもしくはソースから成るために、耐圧はPN接合の接合耐圧で決まっていた。

【0003】 AL配線等による多層金属配線の場合には、第5図に示すように差動段を形成する相対する第1のMOSトランジスタと第2のMOSトランジスタのゲート電極に接続する配線は1層目の金属配線により他のトランジスタのドレインもしくはソースに接続するか、あるいは接続せず、2層目の金属配線によって他のトランジスタのドレインもしくはソースに接続していた。

【0004】

【発明が解決しようとする問題点】 従来技術では差動段のMOSトランジスタに繋がるダイオードは寄生的なものであった為にダイオードの降伏電圧が高く、差動段を形成するMOSトランジスタのゲート酸化膜の破壊電圧に近い電圧が掛かってしまっており、差動段を構成するMOSトランジスタのゲート酸化膜にダメージが頻る場合にはコンパレータのオフセットの原因になっていた。また寄生的なダイオードであるので差動段を構成するトランジスタのゲート電極から寄生ダイオードまでの配線の長さは左右対称になることはなく、差動段を構成する相対するトランジスタに入るダメージが異なる為にこれもオフセットの原因になっていた。

【0005】 また多層金属配線にて差動段を形成する場合、相対する第1のMOSトランジスタと第2のMOSトランジスタのゲート電極に接続する配線は1層目の金属配線により他のトランジスタのドレインもしくはソースに接続していない場合には、1層目の金属配線と2層目の金属配線間の層間絶縁膜を形成するプラズマを用いた工程において、差動段を構成するMOSトランジスタのゲート酸化膜に大きなダメージを頻し、コンパレータのオフセットの原因になっていた。

10 【0006】

【課題を解決するための手段】 上記問題点を解決する為に、ノーマリオフ型のNMOSトランジスタ、もしくはダイオードを差動段を構成する第1のMOSトランジスタ及び第2のMOSトランジスタのゲート電極に接続した。ここで、ノーマリオフ型NMOSトランジスタは、ゲート電極とドレイン間の電界によって寄生ダイオードに比べて降伏電圧が低いので、差動段を構成する第1のMOSトランジスタ及び第2のMOSトランジスタのゲート酸化膜に掛かる電界を低く出来る。降伏耐圧を下げたダイオードも同様である。

20 【0007】

【発明の実施の形態】 (実施例1) 第1図に本発明の実施例のPMOS差動のコンパレータ回路を示す。差動段11を形成する第1のPMOSトランジスタQ1、第2のPMOSトランジスタQ2と電流ミラーを形成する負荷段12の第1のNMOSトランジスタQ3、第2のNMOSトランジスタQ4からなる。差動段を形成する第1のPMOSトランジスタQ1のゲート電極にはノーマリオフ型のNMOSトランジスタQ5が形成され、第2のPMOSトランジスタQ2のゲート電極にもノーマリオフ型NMOSトランジスタQ6が形成された構成となっており、この時Q1のゲート電極とQ5間の距離L1とQ2のゲート電極とQ6間の距離L2はほぼ等しくなるように左右対称に配置されている。コンパレータの動作差動段のVref、Vin入力を比較しVoutの値がVssかVddを出力する。工程中のプラズマプロセスにおいてはプラズマの電荷のためにウェハが帯電し、ゲート酸化膜が劣化もしくはゲート酸化膜と基板の界面が劣化する。よってゲート酸化膜の保護用として入れる帯電した電荷を逃がすための素子はゲート酸化膜の絶縁耐圧よりも十分マージンを持って低い電圧で機能することが好ましい。ゲート酸化膜にダメージを頻さないためには酸化膜にかかる電界8MV/cm以下の電圧で保護素子が機能することが重要である。本実施例で用いているノーマリオフ型NMOSトランジスタは、ゲート酸化膜が200オングストロームの酸化膜を使用したプロセスの場合にドレイン耐圧が14-15V程度とゲート酸化膜にかかる電界は8MV/cm以下となる。

【0008】 差動段を形成するMOSトランジスタがLDD構造を有する場合には、ノーマリオフトランジスタ

\*による保護について述べたが逆であっても構わない。

【発明の効果】本発明のように実施されたコンパレータ回路は、差動段の相対するトランジスタが多層配線工程時のプラズマダメージを受けないので、オフセットを持たないコンパレータ回路を構成出来る。実施例においてはP型半導体基板上に設けられたNMOS差動型及びPMOS差動型のコンパレータについてのみ述べたが、N型半導体基板に設けられたNMOS差動型及びPMOS差動型のコンパレータに関しても同様である。

【図1】本発明によるPMOS差動のコンパレータの回路図である。

【図3】ゲート電極付きでゲート電極の電位が $V_{SS}$ となっているダイオードを示す。

【図5】従来技術の回路図である。

20 【符号の説明】

- 1 第1のPMOSTランジスタQ1
- 2 第2のPMOSTランジスタQ2
- 3 第1のNMOSTランジスタQ3
- 4 第2のNMOSTランジスタQ4
- 5 第1のノーマリオフ型NMOSTランジスタQ5
- 6 第2のノーマリオフ型NMOSTランジスタQ6
- 7 ダイオードD1
- 8 ダイオードD2
- 9 Q1のゲート電極とQ5間の距離L1
- 10 Q2のゲート電極とQ6間の距離L2

## 2 第2のPMOSトランジスタQ2

#### 4 第2のNMOSトランジスタQ4

6 第2のノーマリオフ型NMOSトランジスタQ6

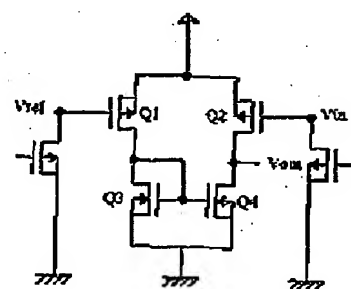
## 8 ダイオード D2

9 Q1のゲート電極とQ5間の距離L1

10 Q2のゲート電極とQ6間の距離L2

【0009】ここで用いるタイオードは、寄生タイオードよりも降伏電圧が低くなるように第3図に示すようなゲート電極付きでゲート電極の電位が $V_{ss}$ となっているタイオードが好ましいが、本実施例に示したように通常のタイオードでも左右対称に近くなるように入れると効果がある。実施例においてはPMOS差動コンパレータのノーマリオフ型NMOSTランジスタによる保護、NMOS差動コンパレータのNMOS差動のタイオード

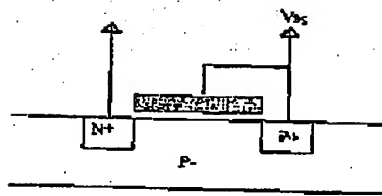
【图4】



(4)

特開2000-236237

【図3】



【図5】

